

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-179141

(43)Date of publication of application : 11.07.1997

(51)Int.Cl.

G02F 1/136  
G02F 1/1343  
H01L 29/786

(21)Application number : 07-333124 (71)Applicant : FUJITSU LTD

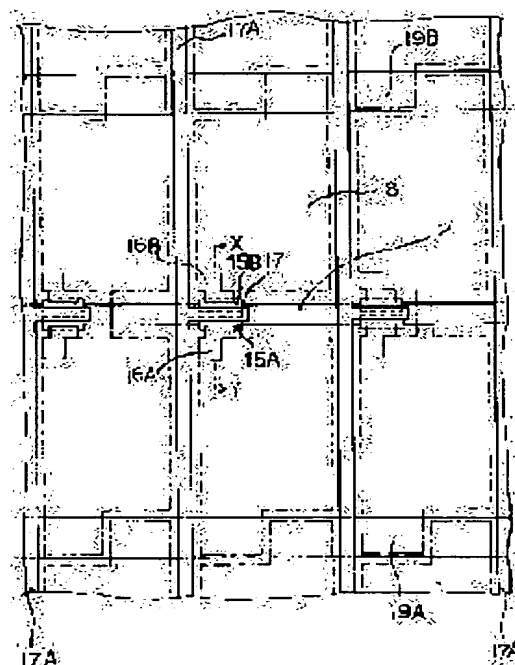
(22)Date of filing : 21.12.1995 (72)Inventor : HAYASHI SHOGO  
TAKIZAWA HIDEAKI

## (54) LIQUID CRYSTAL DISPLAY PANEL

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To suppress a difference in luminance generated at the border line of split exposure to be viewed by an observer and suppress display unevenness of an image display as much as possible by providing a drain electrode which projects from a drain bus line while overlapping with a gate electrode and pixel electrodes which are connected to 1st and 2nd source electrodes arranged opposite across the gate electrode.

**SOLUTION:** This panel is provided with the gate electrode 12 of a thin film transistor, the drain electrode 17 of the thin film transistor which projects from the drain bus line 17A while overlapping with the gate electrode 12, and 1st and 2nd source electrodes 16A and 16B of the thin film transistor which are arranged opposite across the gate electrode 12. Even if a reticle shifts in position at the time of split exposure, to cause the patterns of, specially, the patterns of the gate electrode 12 and 1st and 2nd source electrodes 16A and 16B shift in position, the area of overlaps with the respective electrodes is constant on the whole since the 1st and 2nd source electrodes 16A and 16B are arranged opposite across the gate electrode 12.



---

**LEGAL STATUS**

[Date of request for examination] 12.07.2002

[Date of sending the examiner's  
decision of rejection]

[Kind of final disposal of application  
other than the examiner's decision of  
rejection or application converted  
registration]

[Date of final disposal for  
application]

[Patent number]

[Date of registration]

[Number of appeal against  
examiner's decision of rejection]

[Date of requesting appeal against  
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-179141

(43) 公開日 平成9年(1997)7月11日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0		G 0 2 F 1/136	5 0 0
1/1343			1/1343	
H 0 1 L 29/786			H 0 1 L 29/78	6 1 2 C
				6 1 6 T
				6 1 7 J

審査請求 未請求 請求項の数4 O L (全 10 頁)

(21) 出願番号 特願平7-333124

(22) 出願日 平成7年(1995)12月21日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番  
1号

(72) 発明者 林 省吾

神奈川県川崎市中原区上小田中1015番地  
富士通株式会社内

(72) 発明者 滝沢 英明

神奈川県川崎市中原区上小田中1015番地  
富士通株式会社内

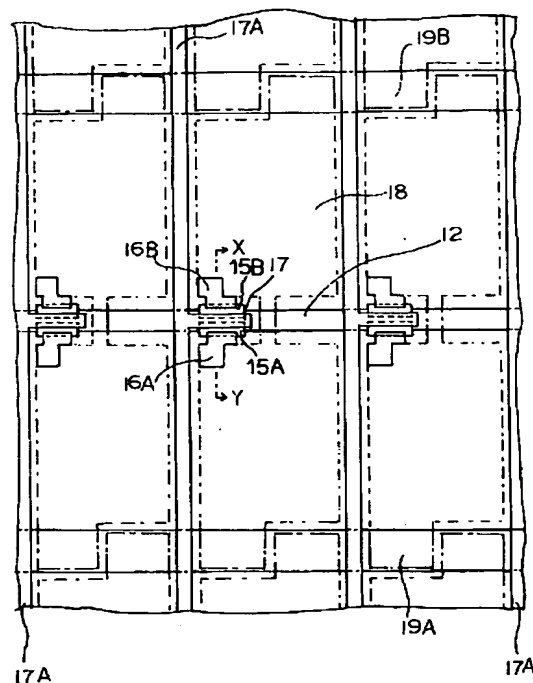
(74) 代理人 弁理士 岡本 啓三

(54) 【発明の名称】 液晶表示パネル

(57) 【要約】

【課題】 薄膜トランジスタマトリクスが形成された液晶表示パネルの改善に関する。

【解決手段】 ゲートバスライン12の一部からなる前記薄膜トランジスタのゲート電極12と、前記ゲート電極12と重なるように前記ドレインバスライン17Aから突出する前記薄膜トランジスタのドレイン電極17と、前記ゲート電極12を挟んで対向配置された前記薄膜トランジスタの第1、第2のソース電極16A、16Bとを有すること。



## 【特許請求の範囲】

【請求項1】 透明絶縁基板上に複数のゲートバスライン及びドレインバスラインが層間絶縁膜を介してマトリクス状に配設され、前記ゲートバスライン及びドレインバスラインの交差部近傍に駆動用の薄膜トランジスタが配設され、該薄膜トランジスタのソース電極に画素電極が接続されてなる第1の透明基板と、透明絶縁基板上に少なくとも対向電極が形成された第2の透明基板とで液晶層を挟むことで構成される液晶表示パネルであって、前記ゲートバスラインの一部である前記薄膜トランジスタのゲート電極と、前記ゲート電極と重なるように前記ドレインバスラインから突出して配置された前記薄膜トランジスタのドレイン電極と、前記ゲート電極を挟んで対向配置された、前記薄膜トランジスタの第1、第2のソース電極とを有することを特徴とする液晶表示パネル。

【請求項2】 前記ゲートバスラインは前記画素電極の中央を横切るように配置され、かつ補助容量バスラインが前記ゲートバスラインと平行に、前記画素電極の両端に配置されたことを特徴とする請求項1記載の液晶表示パネル。

【請求項3】 前記ゲートバスラインと交差する領域で前記画素電極の面積が小さくなることを特徴とする請求項1、請求項2記載の液晶表示パネル。

【請求項4】 前記ゲートバスラインと交差する領域で前記画素電極が分割されたことを特徴とする請求項1、請求項2記載の液晶表示パネル。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は液晶表示パネルに関し、より詳しくは、薄膜トランジスタ（Thin Film Transistor：TFT）マトリクスが形成された液晶表示パネルに関する。近年、TFTマトリクスが搭載された液晶表示パネル（以下TFT液晶パネルと称する）は、高精細化、多階調化に伴い、画像表示品質の向上が望まれている。

## 【0002】

【従来の技術】以下で従来例に係るTFT液晶パネルの構造について説明する。図8（a）は従来例に係るTFT液晶パネルの構造を説明する上面図であって、図8（b）は同図（a）のA-A線断面図である。図8において1はガラス基板からなる透明基板、2はゲート電極、2Aはゲートバスライン、3はゲート絶縁膜である。また、4はアモルファスシリコンからなる動作半導体層、5はチャンネル保護膜、6はソース電極である。また7はドレイン電極であり、7Aはドレインバスラインである。さらに8は画素電極であって、9は画素の補助容量を構成する補助容量バスラインである。

【0003】最初にこのTFT液晶パネルを上面からみ

た各部の配置関係について図8（a）を参照しながら説明する。図8（a）に示すように、ゲートバスライン2Aとドレインバスライン7Aとが直交してマトリクス状に配置され、これらに囲まれた領域に画素電極8が配置されている。また、補助容量バスライン9が画素電極8の中央を横切るように配置されている。

【0004】ゲートバスライン2Aからはゲート電極2が画素電極8方向に突出しており、ドレインバスラインからは2つのドレイン電極7がゲート電極2の方向に突出して配置されている。また、画素電極8の一端に接続された2つのソース電極6は、ゲート電極2の方向に突出するように配置されており、これにより1画素についてゲートが共通な2つのTFTが形成されていることになる。

【0005】次いでこの装置の断面構造について図8（b）を参照しながら説明する。図8（b）に示すように、ガラスなどからなる透明基板1上にゲート電極2が形成され、それを被覆するようにゲート絶縁膜3が形成されている。その上にはTFTのチャンネル層を構成する動作半導体層4が形成されている。動作半導体層4上のチャンネルの形成される領域には絶縁性のチャンネル保護膜5が形成されており、この両側にソース電極6、ドレイン電極7が形成されてTFTを構成する。このソース電極6上にはITO（Indium Tin Oxide）膜からなる画素電極8が形成されており、これは画素領域まで形成されている。

【0006】上記の基板に、表面に透明導電膜からなる対向電極が形成された不図示の透明基板が対向配置され、これらの基板間に液晶LCが封入されることで、TFT液晶パネルが構成される。図9に、1画素についての図8の等価回路図を示す。図9に示すように、2個のTFTが並列に接続されており、そのソースには画素電極が接続されている。

【0007】図9においてCLは画素領域で液晶の有する容量、Csは補助容量バスラインの関与する補助容量、Cgs1、Cgs2はゲートソース間の容量であって、この大小は図8のゲート電極2とソース電極6との重なる面積の総和に依存する。このゲートソース間の容量Cgs1、Cgs2が大きくなると、同じゲート電圧をゲートバスラインからゲート電極2に印加した場合においても、ゲート電圧の立ち下がりの影響でソース電極6すなわち画素電極8の電位が落ち込むため、ゲートソース間の容量Cgs1、Cgs2がともに小さい場合に比して画素電極8に印加される電位が低くなり画素の輝度が低下する。

【0008】上記のような構造のTFT液晶パネルを製造する際には、バタニングの際にフォトリソグラフィ法を用いるため露光工程が必須である。一般にTFT液晶パネルは10～14インチ程度と大きいので、これに対応できる1枚のレチクルを製造するのは困難であるな

どの理由で、露光工程においては図10にその概略を示すいわゆる分割露光という方法が用いられている。

【0009】この方法は、1枚のTFT液晶パネルLPを露光する際に、パネルの領域を複数に分割し、その領域毎にレチクルを用意して露光するという方法である。具体的には、図10に示すように、パネルLPを複数の領域A1～A4に4分割して、この分割された領域A1～A4の露光パターンに対応するレチクルr1～r4を用意し、領域毎にレチクルを変えて露光することで1枚の大型TFT液晶パネルを露光する。

【0010】

【発明が解決しようとする課題】しかし、上記の分割露光を用いてTFT液晶パネルを製造すると、以下に示すような問題が生じる。すなわち、複数枚のレチクルを用意して露光する都合上、その異なるレチクルの境界付近の領域においては、レチクルの位置ずれによって画像表示上のずれが生じることが多々有る。

【0011】一例として図11(a)に示すように、分割露光の際に異なるレチクルを用いて露光する際の境界線TMを挟んで左側の画素LGについては、対応するレチクルが正しく位置合せされていたが、境界線TMを挟んで右側の画素RGにおいて、対応するレチクルがX方向に多少ずれてしまったような場合について説明する。

【0012】左側の画素LGについてはレチクルの位置合せが正しく行われたのでゲート電極2、ソース電極6の重なる面積は設計で予想される値であって、これらの間の容量Cgs1、Cgs2は設計で予想される値どおりであるが、右側の画素RGについては、レチクルの位置合せがずれてしまったため、ゲート電極2、ソース電極6の重なる面積は設計で予想される値よりも小さくなり、これらの間の容量Cgs1、Cgs2も左側の画素LGに比べて小さくなる。

【0013】このため、同じゲート電圧を印加しても、ゲート電圧の立ち下がりに応じてソース電極6の電位が下がるという現象により、容量Cgs1、Cgs2が大きい画素電極8に実際に印加される電圧よりも、容量Cgs1、Cgs2が小さい画素電極8に実際に印加される電圧の方が高くなってしまいうために図11(b)に示すように左側の画素LGと右側の画素間RGとの間で輝度の差が生じる。この輝度の差は、分割の境界線TMに沿って生じるので、特に静止画で単色の画面、例えば青空が一面に表示されているような場合において、この境界線を挟んで輝度の差が生じて視認されてしまい、表示むらが生じてしまうという問題が生じていた。

【0014】本発明は、係る従来例の問題点に鑑みて創作されたものであり、上述の分割露光の境界線において生じる輝度の差を低減し、この輝度差を観察者に視認させることを抑止して画像表示の際の表示むらを極力抑止することが可能になる液晶表示パネルの提供を目的とする。

【0015】

【課題を解決するための手段】本発明は上記課題に鑑みてなされたものであって、図1に例示するように、透明絶縁基板11上に複数のゲートバスライン12及びドレインバスライン17Aが層間絶縁膜を介してマトリクス状に配設され、前記ゲートバスライン12及びドレインバスライン17Aの交差部近傍に駆動用の薄膜トランジスタが配設され、該薄膜トランジスタのソース電極16A, 16Bに画素電極18が接続されてなる第1の透明基板と、透明絶縁基板上に少なくとも対向電極が形成された第2の透明基板とで液晶層を挟むことで構成される液晶表示パネルであって、前記ゲートバスライン12の一部からなる前記薄膜トランジスタのゲート電極12と、前記ゲート電極12と重なるように前記ドレインバスライン17Aから突出する前記薄膜トランジスタのドレイン電極17と、前記ゲート電極12を挟んで対向配置された前記薄膜トランジスタの第1、第2のソース電極16A, 16Bとを有することを特徴とする液晶表示パネルや、前記ゲートバスライン12は前記画素電極18の中央を横切るように配置され、かつ補助容量バスライン19A, 19Bが前記ゲートバスライン12と平行に、前記画素電極18の両端に配置されたことを特徴とする本発明に係る液晶表示パネルや、前記ゲートバスライン12と交差する領域で前記画素電極18の面積が小さくなることを特徴とする本発明に係る液晶表示パネルや、図6に例示するように、前記ゲートバスライン22と交差する領域で前記画素電極28A, 28Bが分割されたことを特徴とする本発明に係る液晶表示パネルによって上記課題を解決するものである。

【0016】引き続き、本発明の作用効果について以下で説明する。本発明によれば、ゲートバスラインの一部で構成されるゲート電極と重なるようにドレインバスラインから突出するドレイン電極と、ゲート電極を挟んで対向配置された第1、第2のソース電極と、第1、第2のソース電極と接続される画素電極を有する。

【0017】このため、分割露光の際にレチクルの位置ずれが生じ、特にゲート電極と第1、第2のソース電極のパターンに位置ずれが生じてしまっても、ゲート電極を挟んで第1、第2のソース電極が対向配置されていることにより、第1のソース電極とゲート電極との重なる面積が減少しても、その減少分だけ第2のソース電極とゲート電極との重なる面積が増加するので、全体としてゲート電極と第1、第2のソース電極との重なる面積は一定不変になる。

【0018】これは分割露光でどのような位置ずれが起ころうと常に一定なので、第1、第2のソース電極とゲート電極との間の容量の総和についても、分割領域に関らず一定になる。従って、上記の容量の総和が一定になるので、ゲートバスラインに印加される電圧が一定であれば、ゲートソース間に印加される電圧は全部の露光領域について常に一定に保たれるので、これらの領域

間での輝度差が生じて視認され、表示むらが生じてしまうことを極力抑止することが可能になる。

【0019】なお、本発明において、ゲートバスラインと交差する領域で画素電極の面積を小さくしてもよい。この場合には、ゲートバスラインと画素電極との交差する面積が小さくなりこれらの間に生じる容量が低減されるので、位置ずれによって多少この容量がばらついても表示むらについてはほとんどその影響が視認されない程度に抑止することが可能になる。

【0020】また、本発明においてゲートバスラインと交差する領域で画素電極を分割してもよい。この場合には、ゲートバスラインと画素電極との交差する面積が0になり、これらの間には容量が生じないので、この容量のばらつきが原因となって生じる可能性のある表示むらを抑止することが可能になる。

【0021】

【発明の実施の形態】

(1) 第1の実施形態

図1に本発明の一実施形態を示す。図1は本発明のTFT液晶パネルの画素周辺の構造を説明する上面図である。また、図2(a)は図1のX-X線断面図であって、図2(b)は図1の等価回路図である。

【0022】図1、図2(a)において11は透明基板、12はゲート電極、13はゲート絶縁膜、14はアモルファスシリコンからなる動作半導体層、15はチャネル保護膜、16はソース電極で17はドレイン電極であり、18は画素電極である。19A、19Bは補助容量バスラインである。以下でこのTFT液晶パネルの構造について説明する。最初にこのTFT液晶パネルを上面からみた各部の配置関係について図1を参照しながら説明する。

【0023】このTFT液晶パネルは図1に示すように、ゲートバスライン12Aとドレインバスライン17Aとが直交してマトリクス状に配置されている。これらの交点ごとに画素電極19が形成されていることは従来と同じであるが、従来はゲートバスラインが画素電極の端部に配置されているのに対して、本実施形態では画素電極18の中央をゲートバスライン12Aが横切るように配置されており、ゲートバスライン12Aの一部がゲート電極12となっている点が異なる。

【0024】また、補助容量バスライン19A、19Bは従来では画素電極の中央を横切るように配置されていたが、本実施形態では画素電極18の両端を横切るように配置されており、1画素について2本の補助容量バスライン19A、19Bが形成されている点が従来と異なる。さらに画素電極18は、その中央部が細っており、これが形成されていない領域に画素駆動のためのTFTを配置している。

【0025】ドレインバスライン17Aからは1つのドレイン電極17がゲート電極12の方向に突出して配置

されており、ゲート電極12とドレイン電極17は重なるように配置されている。また、2つのソース電極16A、16Bが、ゲート電極12を挟んで配置されており、その各々は画素電極18に接続されており、これにより1画素についてゲート、ドレインが共通な2つのTFTが形成されていることになる。

【0026】次いでこの装置の断面構造について図2(a)を参照しながら説明する。ガラスなどからなる透明基板11上にゲート電極12が形成され、それを被覆するようにゲート絶縁膜13が形成されている。その上にはTFTのチャネル層を構成し、アモルファスシリコンからなる動作半導体層14が形成されている。動作半導体層14上のチャネルの形成される領域には一定間隔をおいて絶縁性のチャネル保護膜15A、15Bが形成されており、これらの間にドレイン電極17が形成されている。

【0027】さらにチャネル保護膜15A、15Bの両側にはソース電極16A、16Bが形成されており、2つのTFTを構成する。このソース電極16A、16B上にはITO(Indium Tin Oxide)膜からなる画素電極18が形成されている。上記の基板に、表面に透明導電膜からなる対向電極が形成された不図示の透明基板が対向配置され、これらの基板間に液晶LCが封入されることで、TFT液晶パネルが構成される。

【0028】次に、上記のTFT液晶パネルの1画素についての等価回路について説明しておく。図2(b)は、1画素についてのTFT液晶パネルの等価回路図である。図2(b)に示すように、2個のTFTQ1、Q2が並列に接続されており、そのソースには画素電極が接続されている。なおQ1は同図(a)におけるゲート電極12、ドレイン電極17及びソース電極16Aで構成されるTFTであって、Q2は同図(a)におけるゲート電極12、ドレイン電極17及びソース電極16Bで構成されるTFTである。

【0029】また図2(b)においてCLは画素の液晶の有する容量、Cs1は補助容量バスライン19Aの関与する補助容量、Cs2は補助容量バスライン19Bの関与する補助容量である。さらに、Cgs1はTFTQ1のソース電極16Aとゲート電極12間の容量、Cgs2はソース電極16Bとゲート電極12との間の容量であって、これらの大小は図1のゲート電極12とソース電極16A、16Bとの重なる面積に依存する。

【0030】さらに、従来と異なり、図1に示すようにゲート電極12と画素電極18とがオーバーラップしているので、これらの間にも容量が生じ、これを図2(b)ではCggとしている。従来構造のTFT液晶パネルにおいて、分割露光の各領域に対応したレチクルの位置ずれによって、上述のCgs1、Cgs2が変動し、各領域毎にばらつくことによって、これらの間での輝度差が生じて視認され、表示むらが生じてしまうこと

は図10、図11で説明した通りであるが、本実施形態に係るTFT液晶パネルについては、この $Cgs1 + Cgs2$ を一定に保つような構造になっているので、輝度差が生じることを抑止することが可能になる。

【0031】この作用効果の詳細について図3を参照しながら説明する。図3は、ゲート電極12、ソース電極16A、16B付近の位置関係を説明する部分拡大図である。図3において、16A'、16B'はそれぞれソース電極16A、16Bが正しく位置合せされた場合のパターンを示し、16A、16Bはレチクルの位置ずれによってX方向、Y方向に多少ずれてしまった実際のパターンを示している。またS1、S2はソース電極16A、16Bとゲート電極12との重なる面積をそれぞれ示している。

【0032】図3に示すように、本実施形態ではゲート電極12を挟んでドレイン電極16A、16Bが対向配置されている。レチクルの位置がX方向、Y方向にずれることによってソース電極16A、16Bとゲート電極12との重なる面積S1、S2は変動するが、図3に示すようにS2が減少してもその減少分だけS1が増加しているので、その面積の総和は位置ずれがどのように生じてても常に一定になっている。

【0033】これらの面積の総和が一定になれば、ソース電極16A、16Bとゲート電極12との間の容量の総和 $Cgs1 + Cgs2$ もまた一定に保たれる。実際にはこれらの容量の和 $Cgs1 + Cgs2$ がゲート-ソース間に印加される電圧に影響するので、容量の和 $Cgs1 + Cgs2$ が一定であればゲート-ソース間に印加される電圧も一定に保たれる。

【0034】従って、分割露光の各領域においてレチクルの位置ずれが生じてばらついてしまっても、ゲート-ソース間に印加される電圧は全領域で一定に保たれるので、これらの領域間での輝度差が生じて視認され、表示むらが生じてしまうことを極力抑止することが可能になる。さらに、図1に示すように補助容量バスライン19A、19Bと画素電極が重なる領域の面積の和も同様にして一定になり、図2(b)に示す補助容量 $Cs1$ 、 $Cs2$ の和が一定になるので、この点でも補助容量が分割領域毎にばらつくことで生じる表示むらを防止することが可能になる。

【0035】また、本実施形態においては、図1に示すようにゲートバスライン12と画素電極18との重なる部分で画素電極18の幅を狭め、これらの重なる面積を縮小しているため、これらの間で生じる容量 $Cgg$ は小さくなり、位置ずれによって多少この容量 $Cgg$ が領域ごとにばらついていても、表示むらについてはほとんどその影響が視認されない程度に抑止することが可能になる。

【0036】以下で上記TFT液晶パネルの製造方法について図4、図5を参照しながら簡単に説明する。まず図4(a)に示すように、ガラスからなる透明基板11

上にクロム膜などの金属膜を蒸着したのちにパターニングしてゲート電極12と補助容量バスライン19A、19Bを同時に選択形成し、その上に酸化膜からなるゲート絶縁膜13を形成する。

【0037】次に同図(b)に示すように、全面にアモルファスシリコン層14、酸化膜を順次形成した後に、常法にて酸化膜をパターニングし、ゲート電極12上に一定間隔をおいてチャネル保護膜15A、15Bを選択形成する。次いで、同図(c)に示すように、全面にモリブデンなどの金属層16を形成してフォトリソを塗布し、ホトリソグラフィ法によってパターニングしてレジスト膜PRをゲート電極12の形成領域上に選択形成し、これをマスクにして金属層16、アモルファスシリコン層14をエッチング・除去して、図5(a)に示すように動作半導体層14を形成する。

【0038】次に、同図(b)に示すように、全面にITO膜20をスパッタ法などで形成し、ホトリソグラフィ法でレジスト膜PRを選択形成し、これをマスクにしてITO膜20、金属層16をエッチング・除去する。その後、表面にITO膜からなる対向電極が形成された対向基板を、上述の工程を経て形成された基板上に対向配置し、これらの間に液晶層LCを封入することにより、図2(b)にその断面を示すようなTFT液晶パネルを形成することができる。

#### 【0039】(2) 第2の実施形態

以下で本発明の第2の実施形態について図6、図7を参照しながら説明する。第1の実施形態と共通する事項については重複を避けるため説明を省略する。図6は本発明のTFT液晶パネルの画素周辺の構造を説明する上面図である。また、図7(a)は図6のX-X線断面図であって、図7(b)は図6の等価回路図である。

【0040】本実施形態が第1の実施形態と異なる点は、図6に示すように、1画素に対応する画素電極28A、28Bがゲート電極22と重なる部分で分割され、ゲート電極22と全くオーバーラップしていない点のみであって、他の点は第1の実施形態と同様である。図6、図7(a)において21は透明基板、22はゲート電極、23はゲート絶縁膜、24はアモルファスシリコンからなる動作半導体層、25はチャネル保護膜、26はソース電極で27はドレイン電極であり、28は画素電極である。29A、29Bは補助容量バスラインである。

【0041】以下でこのTFTパネルの構造について説明する。最初にこのTFT液晶パネルを上面からみた各部の配置関係について図1を参照しながら説明する。図6に示すように、ゲートバスライン22Aとドレインバスライン27Aとが直交してマトリクス状に配置されている。これらの交点ごとに画素電極29A、29Bが形成されていることは第1の実施形態と同じであるが、1画素に対応する画素電極28A、28Bが分割され、ゲ

ート電極22とオーバーラップしていない点のみが第1の実施形態と異なる。他の配置関係については第1の実施形態と同様なので説明を省略する。

【0042】次いでこの装置の断面構造について図7(a)を参照しながら説明する。ガラスなどからなる透明基板21上にゲート電極22が形成され、それを被覆するようにゲート絶縁膜23が形成されている。その上にはTFTのチャンネル層を構成し、アモルファスシリコンからなる動作半導体層24が形成されている。動作半導体層24上のチャンネルの形成される領域には一定間隔をおいて絶縁性のチャンネル保護膜25A、25Bが形成されており、これらの間にドレイン電極27が形成されている。

【0043】さらにチャンネル保護膜25A、25Bの両側にはソース電極26A、26Bが形成されており、2つのTFTを構成する。このソース電極26A、26B上にはITO(Indium Tin Oxide)膜からなる画素電極28A、28Bがそれぞれ形成されている。図7(b)は、本実施形態のTFT液晶パネルの1画素についての等価回路図である。図7(b)に示すように、2個のTFTQ1、Q2が並列に接続されており、そのソースには画素が接続されている。なおQ1は同図(a)におけるゲート電極22、ドレイン電極27及びソース電極26Aで構成されるTFTであって、Q2は同図(a)におけるゲート電極22、ドレイン電極27及びソース電極26Bで構成されるTFTである。

【0044】また図7(b)においてCLは画素の液晶の有する容量、Cs1は補助容量バスライン29Aの関与する補助容量、Cs2は補助容量バスライン29Bの関与する補助容量である。さらに、Cgs1はTFTQ1のソース電極26Aとゲート電極22間の容量、Cgs2はソース電極26Bとゲート電極22との間の容量である。

【0045】さらに、第1の実施形態と異なり、図6に示すようにゲート電極22と画素電極28A、28Bとはオーバーラップしていないので、第1の実施形態でこれらの間に生じていた容量Cggは本実施形態においては0になっている。このため、位置ずれによって露光領域毎にこの容量Cggが変動することがないので、この容量Cggのばらつきが原因となって生じる可能性のある表示むらを抑止することが可能になる。

【0046】なお、上記TFTパネルの製造方法については、画素電極29A、29Bのパターニング工程が第1の実施形態と異なるだけであって、あとは第1の実施形態と全く同様であるので、説明を省略する。

【0047】

【発明の効果】以上説明したように、本発明によれば、ゲートバスラインの一部で構成されるゲート電極と重なるようにドレインバスラインから突出するドレイン電極と、ゲート電極を挟んで対向配置された第1、第2のソ

ース電極と、第1、第2のソース電極と接続される画素電極を有するので、従来のように分割露光の各領域に対応したレチクルの位置ずれによって、上述のゲート電極とソース電極との間の容量が変動して各露光領域毎にばらついても、ゲートソース間に印加される電圧は全部の露光領域について一定に保たれるので、これらの領域間での輝度差が生じて視認され、表示むらが生じてしまうことを極力抑止することが可能になる。

【0048】なお、本発明において、ゲートバスラインと交差する領域で画素電極の面積を小さくしてもよい。この場合には、ゲートバスラインと画素電極との交差する面積が小さくなりこれらの間に生じる容量が低減されるので、同じ電圧を印加した際に分割露光の領域毎に生じる印加電圧のばらつきを低減することができる。また、ゲートバスラインと交差する領域で画素電極を分割してもよい。この場合には、ゲートバスラインと画素電極との交差する面積が0になるこれらの間には容量が生じないので、同じ電圧を印加した際に分割露光の領域毎に生じる印加電圧のばらつきを抑止することが可能になる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係る液晶表示パネルを説明する上面図である。

【図2】本発明の第1の実施形態に係る液晶表示パネルを説明する断面図及び等価回路図である。

【図3】本発明の第1の実施形態に係る液晶表示パネルの作用効果を説明する上面図である。

【図4】本発明の第1、第2の実施形態に係る液晶表示パネルの製造方法を説明する第1の断面図である。

【図5】本発明の第1、第2の実施形態に係る液晶表示パネルの製造方法を説明する第2の断面図である。

【図6】本発明の第2の実施形態に係る液晶表示パネルを説明する上面図である。

【図7】本発明の第2の実施形態に係る液晶表示パネルを説明する断面図及び等価回路図である。

【図8】従来例に係る液晶表示パネルを説明する上面図及び断面図である。

【図9】従来の液晶表示パネルの等価回路図である。

【図10】分割露光の方法を説明する図面である。

【図11】従来の問題点を説明する図面である。

【符号の説明】

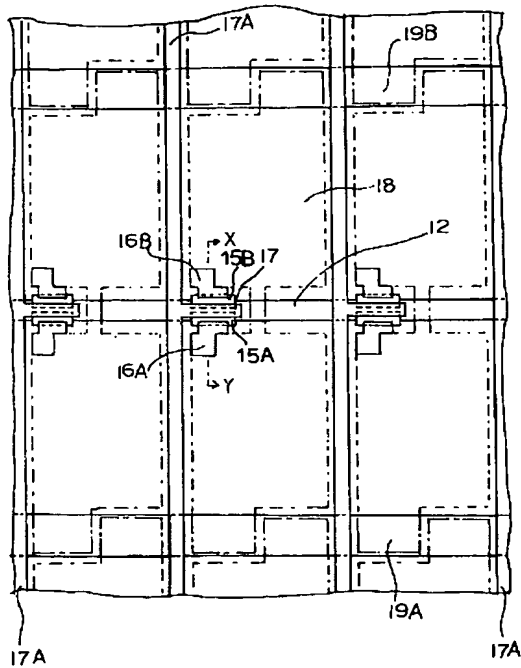
- |         |               |
|---------|---------------|
| 11      | 透明基板(第1の透明基板) |
| 12      | ゲートバスライン      |
| 13      | ゲート絶縁膜        |
| 14      | 動作半導体層        |
| 15A、15B | チャンネル保護膜      |
| 16      | 金属層           |
| 16A     | 第1のソース電極      |
| 16B     | 第2のソース電極      |
| 17      | ドレイン電極        |



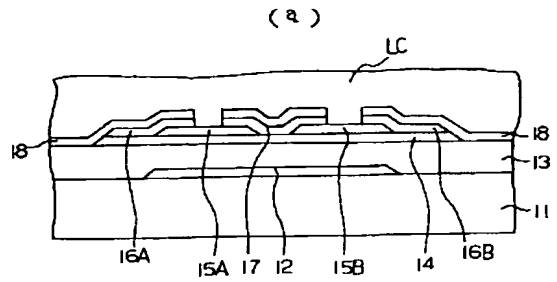
18 画素電極  
 LC 液晶層  
 CL 液晶の有する容量  
 Cs1, Cs2 補助容量  
 Cgs1 第1のソース電極とゲート電極との間

の容量  
 Cgs2 第1のソース電極とゲート電極との間  
 の容量  
 Q1, Q2 TFT (薄膜トランジスタ)

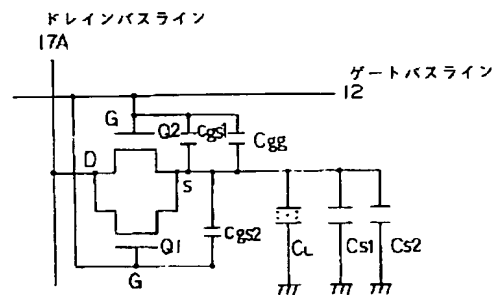
【図1】



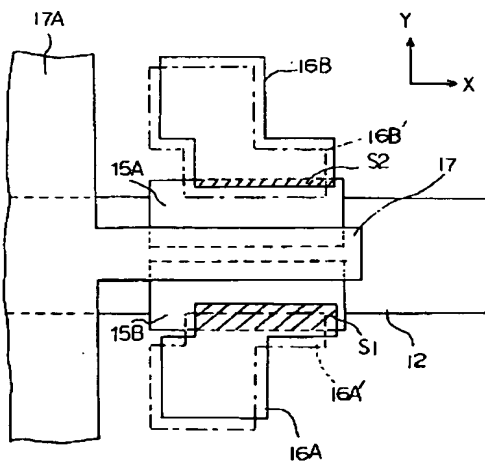
【図2】



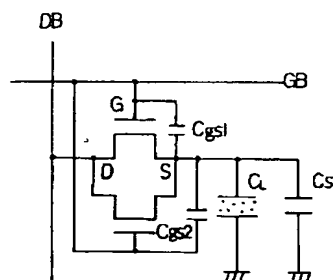
(b)



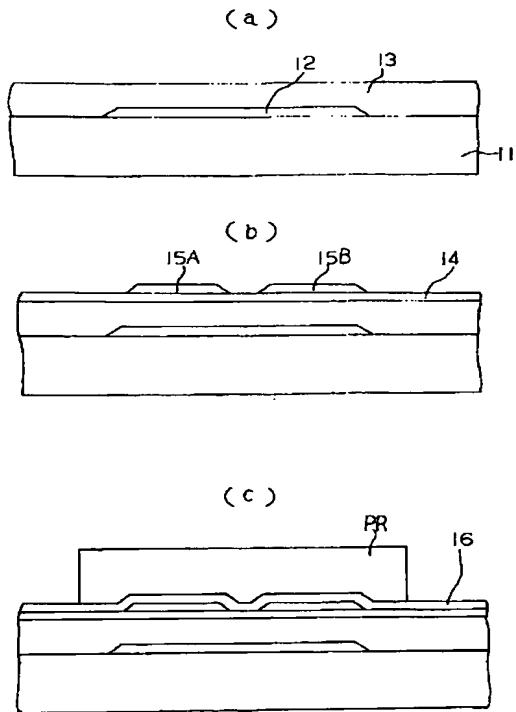
【図3】



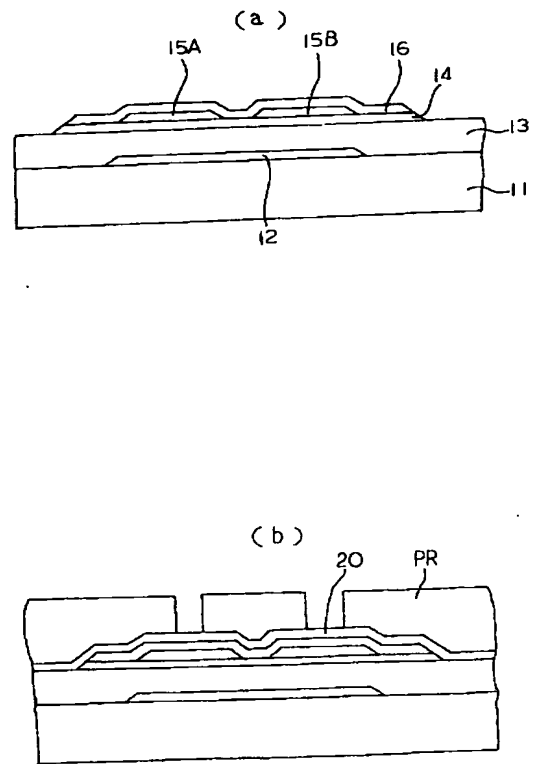
【図9】



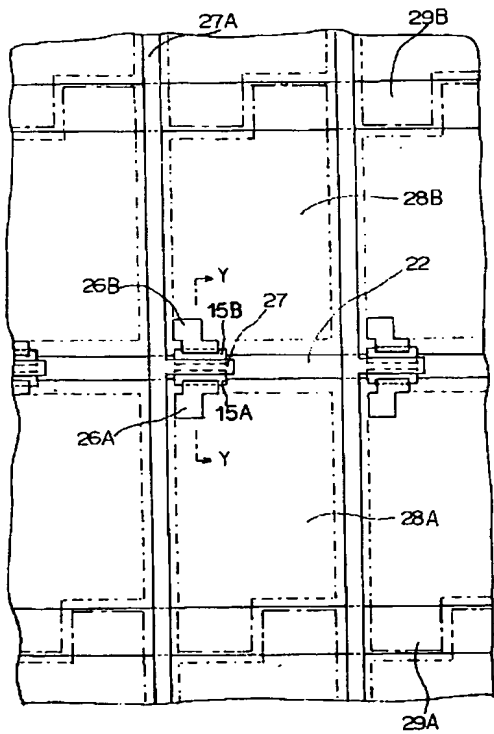
【図4】



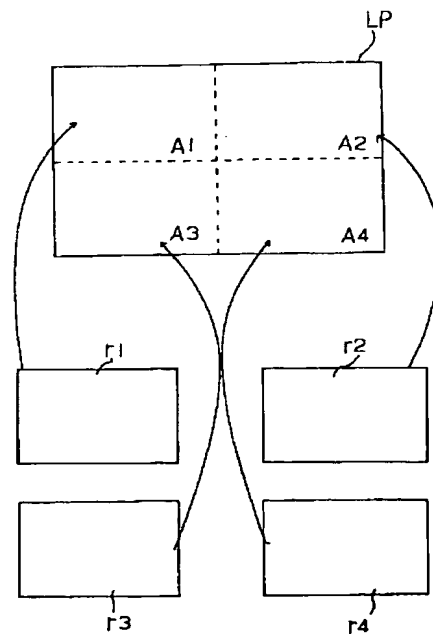
【図5】



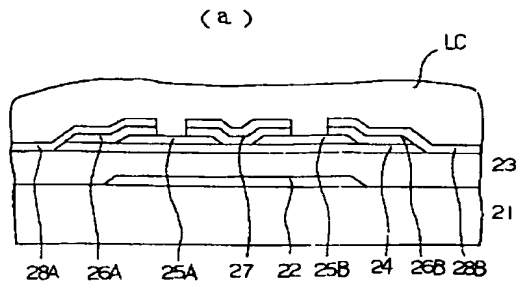
【図6】



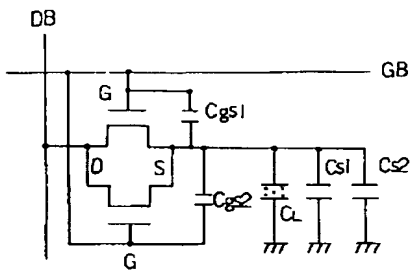
【図10】



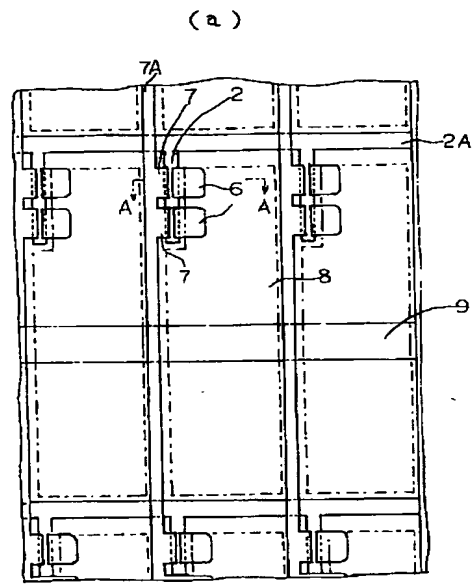
【図7】



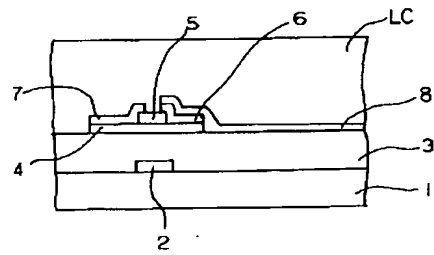
(b)



【図8】



(b)



【図11】

